

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

16738081

Basic Patent (No,Kind,Date): JP 2001042826 A2 20010216 <No. of Patents:
001>

ACTIVE MATRIX TYPE LIGHT EMITTING PANEL AND DISPLAY DEVICE (English)

Patent Assignee: PIONEER ELECTRONIC CORP

Author (Inventor): ISHIZUKA SHINICHI

IPC: *G09G-003/30; G09G-003/20; H05B-033/14

Derwent WPI Acc No: *G 01-249651; G 01-249651

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2001042826	A2	20010216	JP 99216673	A	19990730 (BASIC)

Priority Data (No,Kind,Date):

JP 99216673 A 19990730

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06815333 **Image available**

ACTIVE MATRIX TYPE LIGHT EMITTING PANEL AND DISPLAY DEVICE

PUB. NO.: 2001-042826 [JP 2001042826 A]

PUBLISHED: February 16, 2001 (20010216)

INVENTOR(s): ISHIZUKA SHINICHI

APPLICANT(s): PIONEER ELECTRONIC CORP

APPL. NO.: 11-216673 [JP 99216673]

FILED: July 30, 1999 (19990730)

INTL CLASS: G09G-003/30; G09G-003/20; H05B-033/14

ABSTRACT

PROBLEM TO BE SOLVED: To make uniformly controllable the luminance over the surface of a light emitting panel by providing a conversion active element, which converts a data signal current into a data signal voltage, in each pixel or a data driver circuit.

SOLUTION: In each pixel of a data driver circuit, a conversion active element is provided to convert a data signal current into a data signal voltage. In a light emitting panel, a current-voltage converting circuit 31 is provided between a source S of an address selecting electric field effect type transistor(FET) 11 and a gate G of a driving FET 12 and a data driver 26 is constituted of a constant current driver. The circuit 31 has a conversion FET 33, which is an active element to conduct a current-voltage conversion, and a buffer circuit 35 with a switch. The FET 33 has a same element structure of the FET 12. In other words, element structure parameters, which determine element characteristics such as a channel width and a carrier density profile, are formed in the same manner.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-42826

(P2001-42826A)

(43)公開日 平成13年2月16日(2001.2.16)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 3 K 0 0 7
3/20	6 4 2	3/20	6 4 2 C 5 C 0 8 0
// H 0 5 B 33/14		H 0 5 B 33/14	A

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21)出願番号 特願平11-216673

(22)出願日 平成11年7月30日(1999.7.30)

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 石塚 真一

埼玉県鶴ヶ島市富士見6丁目1番1号 バ

イオニア株式会社総合研究所内

(74)代理人 100079119

弁理士 藤村 元彦

Fターム(参考) 3K007 AB02 BA06 DA00 DB03 EB00

FA01 GA00 GA04

5C080 AA06 BB05 DD05 EE29 FF12

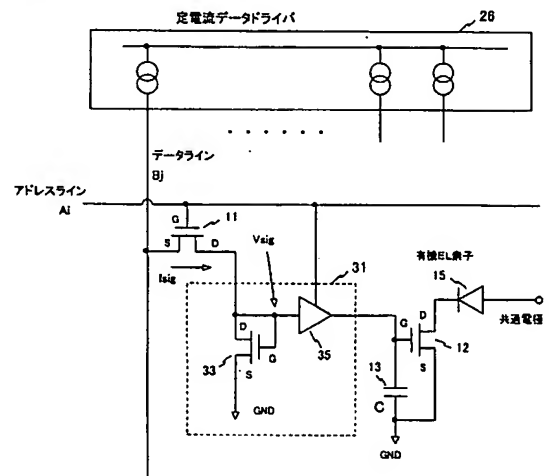
GG12 JJ02 JJ03 JJ05

(54)【発明の名称】 アクティブマトリクス型発光パネル及び表示装置

(57)【要約】

【目的】 発光パネル面内に亘って輝度を均一に制御することが可能なアクティブマトリクス型表示装置を提供する。

【解決手段】 発光パネル内、又は発光パネルに信号電圧を供給するドライバ回路内にデータ信号電流をデータ信号電圧に変換する変換能動素子を有する。また、上記変換能動素子は駆動素子と実質的に同一の素子構造又は実質的に同一の電気的特性を有している。



【特許請求の範囲】

【請求項 1】 マトリクス状に配置された発光素子と、データ信号電流を蓄積して保持する保持回路と、該保持された電圧に応じて前記発光素子の各々を駆動する駆動素子と、を含むアクティブマトリクス型の発光パネルであって、

前記データ信号電流をデータ信号電圧に変換する変換能動素子を備えていることを特徴とする発光パネル。

【請求項 2】 前記変換能動素子は前記駆動素子と実質的に同一の素子構造を有することを特徴とする請求項 1 に記載の発光パネル。

【請求項 3】 前記変換能動素子は、インピーダンス変換のためのバッファ回路を介して前記駆動素子に接続されていることを特徴とする請求項 1 又は 2 に記載の発光パネル。

【請求項 4】 前記バッファ回路は、変換された前記信号電圧をアドレス信号に応じて前記保持回路に中継するスイッチ回路を更に有することを特徴とする請求項 3 に記載の発光パネル。

【請求項 5】 前記変換能動素子は、前記駆動素子と実質的に同一の電気的特性を有することを特徴とする請求項 1 ないし 4 のいずれか 1 に記載の発光パネル。

【請求項 6】 前記変換能動素子は、前記駆動素子と同時に形成されることを特徴とする請求項 1 ないし 5 のいずれか 1 に記載の発光パネル。

【請求項 7】 前記駆動素子及び前記変換能動素子は電界効果型トランジスタ (FET) であることを特徴とする請求項 1 ないし 6 のいずれか 1 に記載の発光パネル。

【請求項 8】 マトリクス状に配置された発光素子及び前記発光素子の各々を駆動する駆動素子を含むアクティブマトリクス型発光パネルと、前記アクティブマトリクス型発光パネルにデータ信号電圧を供給する信号電圧供給回路と、を有するアクティブマトリクス型の表示装置であって、

前記信号電圧供給回路は、データ信号電流を前記データ信号電圧に変換する変換能動素子を有することを特徴とする表示装置。

【請求項 9】 前記変換能動素子は、前記駆動素子と実質的に同一の素子構造を有することを特徴とする請求項 8 に記載の表示装置。

【請求項 10】 前記変換能動素子は、インピーダンス変換のためのバッファ回路を介して前記アクティブマトリクス型発光パネルに接続されていることを特徴とする請求項 9 に記載の表示装置。

【請求項 11】 前記バッファ回路は、変換された前記信号電圧をアドレス信号に応じて前記データ信号電圧を出力せしめるスイッチ回路を更に有することを特徴とする請求項 10 に記載の表示装置。

【請求項 12】 前記変換能動素子は、前記駆動素子と実質的に同一の電気的特性を有することを特徴とする請

求項 8 ないし 11 のいずれか 1 に記載の表示装置。

【請求項 13】 前記駆動素子及び前記変換能動素子は電界効果型トランジスタ (FET) であることを特徴とする請求項 8 ないし 12 のいずれか 1 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型表示装置、特に、有機エレクトロルミネセンス素子等の発光素子を用いたアクティブマトリクス型表示装置に関する。

【0002】

【従来の技術】有機エレクトロルミネセンス素子（以下、有機 EL 素子と称する）は発光素子を通る電流によってその発光輝度を制御することができ、このような発光素子をマトリクス状に配置して構成される発光パネルを用いたマトリクス型ディスプレイの開発が広く進められている。かかる有機 EL 素子を用いた発光パネルとして、有機 EL 素子を単にマトリクス状に配置した単純マトリクス型発光パネルと、マトリクス状に配置した有機 EL 素子の各々にトランジスタからなる駆動素子を加えたアクティブマトリクス型発光パネルがある。アクティブマトリクス型発光パネルは単純マトリクス型発光パネルに比べて、低消費電力であり、また画素間のクロストークが少ないなどの利点を有し、特に大画面ディスプレイや高精細度ディスプレイに適している。

【0003】図 1 は、従来のアクティブマトリクス型発光パネルの 1 つの画素 10 に対応する回路構成の 1 例を示している。かかる回路構成は、例えば、特開平 8-241057 号公報に開示されている。図 1 において、FET (Field Effect Transistor) 11 (アドレス選択用トランジスタ) のゲート G は、アドレス信号が供給されるアドレス走査電極線 (アドレスライン) に接続され、FET 11 のソース S はデータ信号が供給されるデータ電極線 (データライン) に接続されている。FET 11 のドレイン D は FET 12 (駆動用トランジスタ) のゲート G に接続され、キャパシタ 13 を通じて接地されている。FET 12 のソース S は接地され、ドレイン D は有機 EL 素子 15 の陰極に接続され、有機 EL 素子 15 の陽極を通じて電源に接続されている。この回路の発光制御動作について述べると、先ず、図 1 において FET 11 のゲート G にオン電圧が供給されると、FET 11 はソース S に供給されるデータの電圧をドレイン D へ伝達する。FET 11 のゲート G がオフ電圧であると FET 11 はいわゆるカットオフとなり、FET 11 のドレイン D はオープン状態となる。従って、FET 11 のゲート G がオン電圧の期間に、ソース S の電圧がキャパシタ 13 に充電され、その電圧が FET 12 のゲート G に供給されて、FET 12 にはそのゲート電圧とソース電圧に基づいた電流が有機 EL 素子 15 を通じてドレイン

DからソースSへ流れ、有機EL素子15を発光せしめる。また、FET11のゲートGがオフ電圧になると、FET11はオープン状態となり、FET12はキャパシタ13に蓄積された電荷によりゲートGの電圧が保持され、次の走査まで駆動電流を維持し、有機EL素子15の発光も維持される。

【0004】しかしながら、下記に述べる理由によって、発光パネルの面内に亘って各画素の輝度を均一に制御することは困難であった。図2は、温度をパラメータとしたときの駆動トランジスタの電気的特性（電流－電圧特性）を示している。図2に示すように、駆動トランジスタの電気的特性は顕著な温度依存性を有している。すなわち、ゲート－ソース電圧を一定としても温度変化によってドレイン－ソース電流（駆動電流）は大きく変化し、有機EL素子の輝度も大きく変化することになる。従って、発光パネル面内の温度分布によって駆動トランジスタの電気的特性は変化し、発光パネル面内において輝度のばらつきが生じる。尚、発光素子の電流－輝度特性には温度依存性はほとんどない。更に、各画素に設けられた駆動トランジスタには製造上のばらつきが生じる場合があり、これらの原因によって発光パネル面内の輝度に不均一が生じるという問題点があった。

【0005】

【発明が解決しようとする課題】本発明はかかる点に鑑みてなされたものであり、その目的とするところは、発光パネルの面内に亘って輝度を均一に制御することが可能なアクティブマトリクス型表示装置を提供することにある。

【0006】

【課題を解決するための手段】本発明による発光パネルは、マトリクス状に配置された発光素子と、データ信号電流を蓄積して保持する保持回路と、該保持された電圧に応じて発光素子の各々を駆動する駆動素子と、を含むアクティブマトリクス型の発光パネルであって、データ信号電流をデータ信号電圧に変換する変換能動素子を備えていることを特徴としている。

【0007】本発明による表示装置は、マトリクス状に配置された発光素子及び上記発光素子の各々を駆動する駆動素子を含むアクティブマトリクス型発光パネルと、上記アクティブマトリクス型発光パネルにデータ信号電圧を供給する信号電圧供給回路と、を有するアクティブマトリクス型の表示装置であって、信号電圧供給回路は、データ信号電流をデータ信号電圧に変換する変換能動素子を有することを特徴としている。

【0008】本発明の他の特徴として、上記変換能動素子は駆動素子と実質的に同一の素子構造又は実質的に同一の電気的特性を有している。

【0009】

【発明の実施の形態】本発明の実施例を図面を参照しつつ詳細に説明する。尚、以下に説明する図において、実

質的に同等な部分には同一の参照符を付している。図3は、本発明の第1の実施例であるアクティブマトリクス型発光パネルを用いた有機EL表示装置20の構成を概略的に示している。

【0010】図3において、アナログ／デジタル（A/D）変換器21は、アナログ映像信号を受けてデジタル映像信号データに変換する。変換により得られたデジタル映像信号はA/D変換器21からフレームメモリ23に供給され、コントローラ24の制御により書き込み蓄積される。コントローラ24は、入力映像信号の水平及び垂直同期信号に同期してフレームメモリ23、アドレス走査ドライバ25、データドライバ26、及び電源回路28の各々を制御する。

【0011】フレームメモリ23に蓄積されたデジタル映像信号データは、コントローラ24によって読み出され、データドライバ26に送られる。また、コントローラ24は、アクティブマトリクス型発光パネル30の各行及び各列にそれぞれ接続されたデータドライバ26及びアドレス走査ドライバ25を順次制御することにより、フレームメモリ23に蓄積されていた映像に対応させて発光パネル30の各画素の有機EL素子の発光を制御する。尚、発光パネル30において、複数の有機EL素子15はアドレス走査ドライバ25からの走査電極線であるアドレスラインA₁～A_n、及びデータドライバ26からのデータ電極線であるデータラインB₁～B_nの複数の交差位置にマトリクス状に配置されている。上記したコントローラ24の制御によって所望の映像を発光パネル30に表示させることができる。電源回路28はまた、発光パネル30の全ての有機EL素子へ電力を供給する。

【0012】図4は、本発明の第1の実施例であるアクティブマトリクス型発光パネルの単位画素に対応する回路構成を示したものである。本実施例が図1に示した従来技術の回路構成と異なるのは、アドレス選択用FET11のソースSと駆動用FET12のゲートGとの間に電流－電圧変換回路31が設けられており、データドライバ26は定電流ドライバにより構成されている点である。電流－電圧変換回路31は電流－電圧変換を行う能動素子である変換用FET33及びスイッチ付きのバッファ回路35を有している。本実施例において、変換用FET33は駆動用FET12と同一の素子構造を有している。すなわち、チャネル幅やキャリア濃度プロファイル等の素子特性を決定する各素子構造パラメータ値は同一に形成されている。従って、変換用FET33は駆動用FET12と実質的に同一の電気的特性を有している。尚、変換用FET33は、発光パネルの作製プロセスにおいて駆動用FET12と同時に形成することでもできる。

【0013】図4において、変換用FET33のソースSは発光パネル30の共通のグランド（GND）に接地

されている。変換用 FET 33 のドレイン D 及びゲート G は接続されてスイッチ付きバッファ回路 35 の入力端に接続されている。スイッチ付きバッファ回路 35 の出力端は駆動用 FET 12 のゲート G 及びキャパシタ 13 に接続されている。スイッチ付きバッファ回路 35 のスイッチ回路 (図示しない) の入力端はアドレスラインに接続され、変換用 FET 33 により電流-電圧変換された電圧をアドレス信号に応じて駆動用 FET 12 のゲート G 及びキャパシタ 13 に中継する。

$$I_{DS} = I_{drv} = (1/2L) \mu_n C_{ox} W (V_{sig} - V_T)^2 \quad (1)$$

ここで、 μ_n はチャネルの移動度、 C_{ox} はゲート酸化膜容量、 W はトランジスタのチャネル幅、 L はトランジスタの実効チャネル長、 V_T は閾値電圧である。

【0016】上記のパラメータのうち、発光パネル 30 の面内でばらつくパラメータ、すなわち、発光パネル 30 の製作に起因してばらつくパラメータは、 μ_n 、 C_{ox} 、 W 、 L 、及び V_T の全てである。一方、温度によって変化するパラメータは、 μ_n 、 V_T である。従って、図 1 に示した従来の駆動回路においては、駆動用 FET

$$\begin{aligned} I_{drv} = I_{DS} &= (1/2L) \mu_n C_{ox} W (V_{GS} - V_T)^2 \\ &= K (V_{GS} - V_T)^2 \end{aligned} \quad (2)$$

ここで、

【0019】

$$K = (1/2L) \mu_n C_{ox} W \quad (3)$$

また、変換用 FET 33 の電流-電圧変換式は定電流ドライバ 26 の電流を I_{sig} とすると、次式で表される。尚、下記において、本実施例における変換用 FET 33

$$\begin{aligned} I_{DS}' = I_{sig} &= (1/2L') \mu_n' C_{ox}' W' (V_{GS}' - V_T')^2 \\ &= K' (V_{GS}' - V_T')^2 \end{aligned} \quad (4)$$

ここで、

【0021】

$$K' = (1/2L') \mu_n' C_{ox}' W' \quad (5)$$

また、 $V_{GS} = V_{sig}$ であるので、式 (4) から、

【0022】

$$V_{sig} = (I_{sig} / K')^{1/2} + V_T' \quad (6)$$

従って、式 (2)、(6) から駆動電流 I_{drv} は、次式で表される。

$$\begin{aligned} I_{drv} &= K (V_{sig} - V_T)^2 \\ &= K \{ (I_{sig} / K')^{1/2} - (V_T - V_T') \}^2 \end{aligned} \quad (7)$$

上記により得られた駆動電流 I_{drv} を表す式 (7) において、 $V_T \gg V_T - V_T'$ であるので、従来技術における駆動電流 I_{drv} を表す式 (2) と比較すると、駆動電流の温度依存性が相殺されることがわかる。

$$I_{drv} \approx (K/K') I_{sig} \quad (8)$$

更に、本実施例では、各画素に対し駆動用 FET 12 と同一の素子構造及び同一の素子構造パラメータ値の変換用 FET 33 が形成されている。すなわち、駆動用 FET 12 に近接して、駆動用 FET 12 と実質的に同一素子構造の変換用 FET 33 を設けているので、FET 1

$$I_{drv} = I_{sig}$$

【0014】次に、変換用 FET 33 が駆動用 FET 12 の温度特性を相殺する動作について説明する。まず、駆動用 FET 12 の電流-電圧特性は以下のように説明することができる。FET 12 を流れる電流 I_{DS} は有機 EL 素子 15 の駆動電流 I_{drv} に等しく、FET 12 のゲート電圧を V_{sig} としたとき、次式で表される。

【0015】

【数 1】

12 のゲートに一定電圧 (V_{sig}) を与えても、FET 12 の製作時に生じるばらつき、及び発光パネル 30 内の温度分布によるばらつきによって、各画素の駆動用 FET 12 の駆動電流は大きくばらついてしまう。

【0017】次に、変換用 FET 33 を用いた場合について説明する。有機 EL 素子 15 の駆動電流 I_{drv} は (1) と同様に次式で表される。

【0018】

【数 2】

【数 3】

のパラメータには「'」を付して示す。

【0020】

【数 4】

【数 5】

【数 6】

【0023】

【数 7】

【0024】また、 $V_T - V_T' \approx 0$ とみなせるので、駆動電流 I_{drv} は次式で与えられる。

【0025】

【数 8】

2 及び FET 33 の各パラメータは等しいとみなすことができる。従って、 $K = K'$ 、 $V_T = V_T'$ であるので、式 (8) は、

【0026】

【数 9】

(9)

となり、各画素の駆動用 FET 12 の駆動電流 I_{drv} は、発光パネル面内の位置に依らず、定電流データドライバ 26 の信号電流のみによって確定される。すなわち、発光パネル面内の温度分布及び駆動トランジスタのばらつきに依らず所望の輝度で各画素の有機 EL 素子 15 を駆動することができる。

【0027】尚、本実施例においては、変換用 FET 33 と駆動用 FET 12 との間にスイッチ付きバッファ回路 35 を設けている。これは、アドレス選択用トランジスタ 11 がアドレス信号に応じて導通した直後では変換用 FET 33 のゲート電圧がキャパシタ 13 の保持電圧よりも低くなる場合があり、このときキャパシタ 13 に蓄積されていた電荷が変換用 FET 33 による電流-電圧変換に影響するのを防ぐためである。このようなスイッチ付きバッファ回路としては、例えば FET でソースフォロワ及びスイッチ回路等を構成することができる。また、ダイオード等で構成してもよいが、これらに限定されない。さらに、アドレス信号のタイミング制御、又は他の方法によりスイッチ回路を設けない構成とすることもできる。

【0028】図 5 は、本発明の第 2 の実施例であるアクティブマトリクス型発光パネルの単位画素に対応する回路構成を示したものである。本実施例が第 1 の実施例と

$$I_{drv} \approx K \{ (I_{sig} / K')^{1/2} - (V_T - V_T') \}^2 \quad (10)$$

上記の式 (10) において、 $V_T \gg V_T - V_T'$ であるので、式 (2) に示される変換用 FET 33 を設けない場合に比べて駆動電流の温度依存性が大きく低減されることがわかる。また、 $V_T - V_T' \approx 0$ とみなすことがで

$$I_{drv} \approx (K / K') I_{sig}$$

本実施例では、定電流データドライバ 26 内に設けた変換用 FET 33 は駆動用 FET 12 と同一の素子構造を有し、各素子構造パラメータ値も同一に形成されているので、式 (11) において、 $K / K' \approx 1$ とみなすことができる。従って、有機 EL 素子 15 の駆動電流 I_{drv} は定電流データドライバ 26 の信号電流とほぼ等しくなり、駆動用 FET 12 の温度依存性及び素子特性のばらつきに起因する特性の不均一が相殺される。

【0032】尚、上記した実施例において、変換用 FET 33 として、駆動用 FET 12 と同一の素子構造及び同一の素子構造パラメータ値を有する FET を用いたが、駆動用 FET 12 と実質的に同一の電気的特性を得られる構造の FET により駆動用 FET を構成してもよい。また、必ずしもこれらに限定されず、駆動用 FET 12 と同様な温度特性を有する FET により駆動用 FET を構成してもよい。更に、例えば、ドライバ回路からの距離に応じて各行毎、各列毎、又は各画素毎に素子構造パラメータ値を変えてもよい。

【0033】また、データドライバ 26 を発光パネル 30 の外部に設けた場合を例に説明したが、発光パネル 30 内にデータドライバ回路を形成するようにしてもよ

異なるのは、電流-電圧変換回路 31 を定電流データドライバ 26 内の各データラインに構成している点である。電流-電圧変換回路 31 は電流-電圧変換を行う能動素子である FET 33 及びバッファ回路 36 を有している。本実施例において、変換用 FET 33 は駆動用 FET 12 と同一の素子構造を有し、各素子構造パラメータ値も同一に形成されている。

【0029】図 5 において、変換用 FET 33 のソース S は発光パネル 30 と共通のグラウンド (GND) に接地されている。FET 33 のドレイン D 及びゲート G は接続されてバッファ回路 36 の入力端に接続されている。バッファ回路 36 の出力端はデータライン B_j として発光パネル 30 の列方向の各画素に接続されている。変換用 FET 33 が駆動用 FET 12 の温度特性を相殺する動作については、第 1 の実施例の場合と同様に説明することができる。すなわち、上記した式 (2)、(4) において、 $V_{GS} \approx V_{sig}$ を仮定すると、有機 EL 素子 15 の駆動電流 I_{drv} は、次式で表される。尚、下記においては「'」を付して示す。

【0030】

【数 10】

き、駆動電流 I_{drv} は次式で与えられる。

【0031】

【数 11】

$$(11)$$

い。前述の第 1 の実施例においては、能動変換素子及びスイッチ回路付きバッファ回路を各画素に対して設けた場合を例に説明したが、必ずしも全ての画素に設ける必要はなく、設計上の都合等により適宜選択して適用することが可能である。

【0034】

【発明の効果】上記したことから明らかなように、本発明によれば、各画素、又はデータドライバ回路内にデータ信号電流をデータ信号電圧に変換する変換能動素子を設けることにより、発光パネル面内における温度分布、及び駆動素子のばらつきに起因する特性の不均一を相殺し、発光パネル面内に亘って輝度を均一に制御することが可能なアクティブマトリクス型発光パネルを実現できる。

【図面の簡単な説明】

【図 1】従来のアクティブマトリクス型発光パネルの 1 つの画素に対応する回路構成の 1 例を示す図である。

【図 2】有機 EL 素子を駆動する駆動用 FET の電流-電圧特性を温度をパラメータとして示す図である。

【図 3】本発明の第 1 の実施例であるアクティブマトリクス型発光パネルを用いた有機 EL 表示装置の構成を概

略的に示すブロック図である。

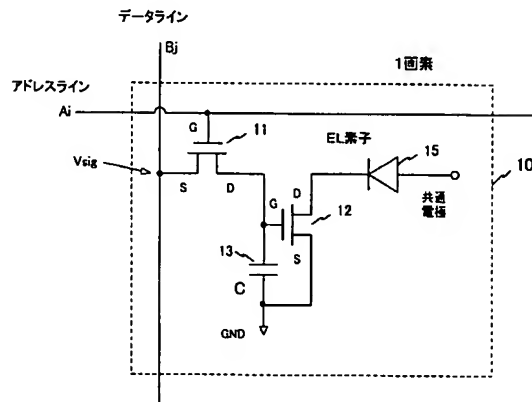
【図4】本発明の第1の実施例であるアクティブマトリクス型発光パネルの単位画素に対応する回路構成を示す図である。

【図5】本発明の第2の実施例であるアクティブマトリクス型発光パネルの単位画素に対応する回路構成を示す図である。

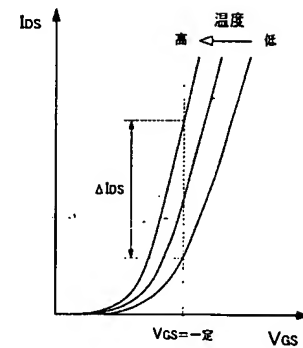
【主要部分の符号の説明】

- | | |
|---------------|---------------|
| 10 画素 | 15 発光素子 |
| 11 アドレス選択用FET | 20 表示装置 |
| 12 駆動用FET | 21 A/D変換器 |
| 13 キャパシタ | 23 フレームメモリ |
| | 24 コントローラ |
| | 25 アドレス走査ドライバ |
| | 26 データドライバ |
| | 28 電源回路 |
| | 30 発光パネル |
| | 31 電流-電圧変換回路 |
| | 33 変換用FET |
| | 35、36 バッファ回路 |

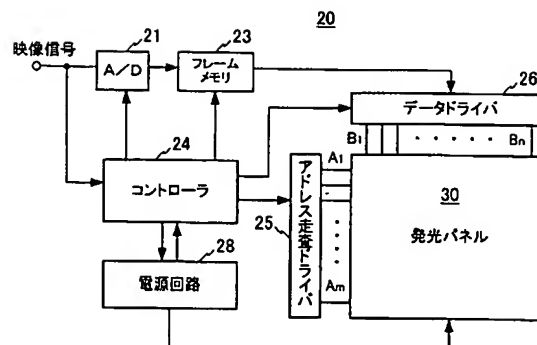
【図1】



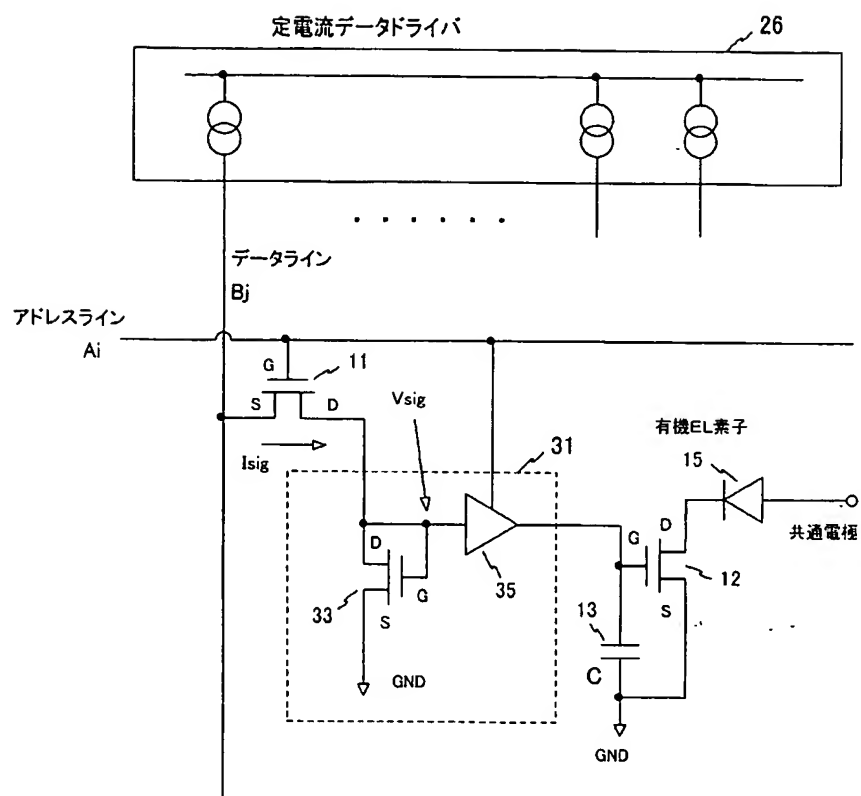
【図2】



【図3】



【図4】



【図5】

